

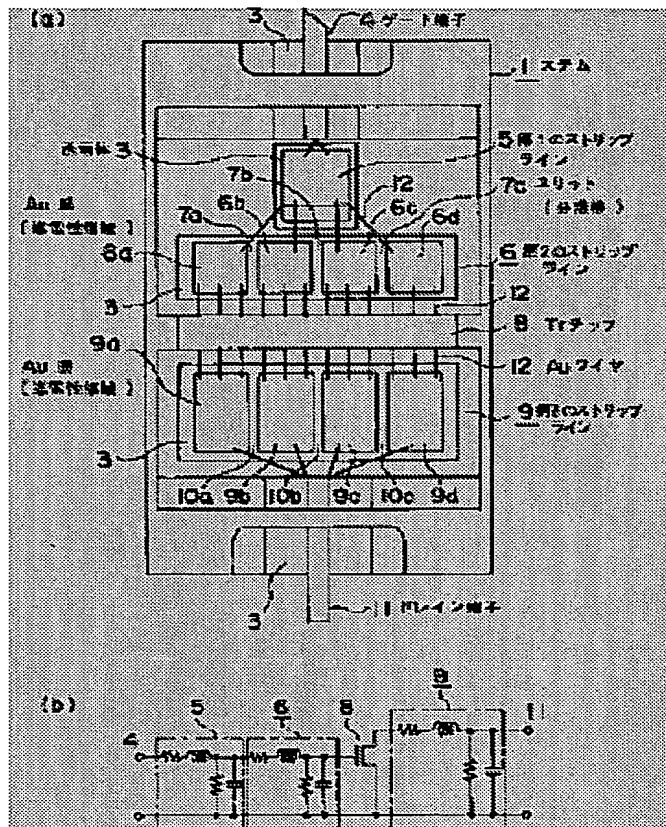
TRANSMISSION LINE AND SEMICONDUCTOR DEVICE

Patent number: JP7263634
 Publication date: 1995-10-13
 Inventor: KODAMA AKITADA
 Applicant: FUJITSU LTD;; FUJITSU QUANTUM DEVICE KK
 Classification:
 - international: H01L27/04; H01L21/822; H01P5/08; H03F3/60
 - european:
 Application number: JP19940048085 19940318
 Priority number(s): JP19940048085 19940318

Abstract of JP7263634

PURPOSE: To prevent a transmission line, which is used for a signal processing circuit for high-frequency power amplification or the like, from oscillating in the case where a high-frequency electrical signal is processed.

CONSTITUTION: A transmission line 6, in which a signal having a wavelength (λ) is inputted, is formed on a substrate 1, the above line 6 consists of a plurality of conductive regions 6a to 6d isolated by isolation zones 7a to 7c parallel to the proceeding direction of the above signal and the regions 6a to 6d have a width of $\lambda/8$ or narrower of the wavelength (λ).



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-263634

(43) 公開日 平成7年(1995)10月13日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04
21/822

H 0 1 P 5/08

H 0 3 F 3/60

L

H 0 1 L 27/ 04

Z

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号

特願平6-48085

(22) 出願日

平成6年(1994)3月18日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71) 出願人 000154325

富士通カンタムデバイス株式会社

山梨県中巨摩郡昭和町大字紙漣阿原1000番地

(72) 発明者 児玉 晃忠

山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士通カンタムデバイス株式会社内

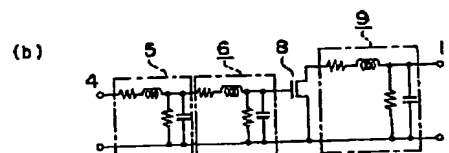
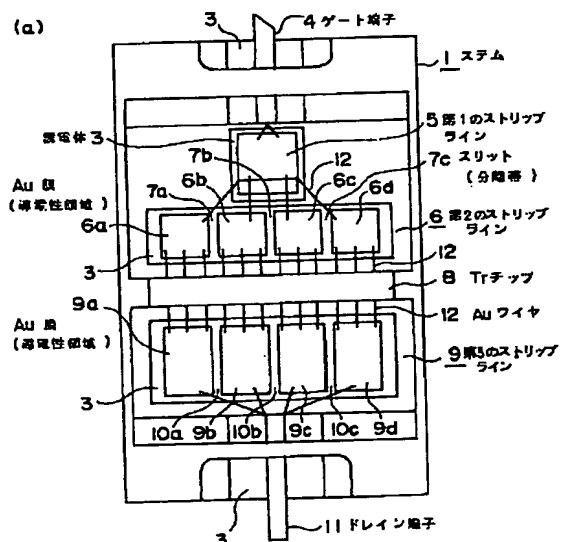
(74) 代理人 弁理士 岡本 啓三

(54) 【発明の名称】 伝送線路及び半導体装置

(57) 【要約】

【目的】 高周波電力増幅用等の信号処理回路に用いられる伝送線路に関し、高い周波数の電気信号を処理する場合に発振を防ぐ。

【構成】 基板1上に波長 λ を有する信号が入力される伝送線路6が形成され、前記伝送線路6は前記信号の進行方向に平行な分離帯7a~7cにより分離された複数の導電性領域6a~6dからなり、かつ導電性領域6a~6dは波長 λ に対して $\lambda/8$ 以下の横幅を有する。



1

【特許請求の範囲】

【請求項 1】 基板上に波長 λ を有する信号が入力される伝送線路が形成され、前記伝送線路は前記信号の進行方向に平行な分離帯により分離された複数の導電性領域からなり、かつ前記導電性領域は前記波長 λ に対して $\lambda/8$ 以下の横幅を有することを特徴とする伝送線路。

【請求項 2】 隣接する前記導電性領域は導体により互いに接続されていることを特徴とする請求項 1 記載の伝送線路。

【請求項 3】 前記伝送線路はインピーダンス整合用素子であることを特徴とする請求項 1 又は請求項 2 記載の伝送線路。

【請求項 4】 請求項 1、請求項 2 又は請求項 3 記載の伝送線路は半導体基板上の回路素子に接続されることを特徴とする半導体装置。

【請求項 5】 前記伝送線路は半導体基板上に設けられることを特徴とする請求項 1 記載の伝送線路又は請求項 4 記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、伝送線路及び半導体装置に関し、より詳しくは、高周波電力増幅用等の信号処理回路に用いられるストリップライン（伝送線路）及びストリップラインを有する半導体装置に関する。

【0002】

【従来の技術】 電気信号電力増幅回路の設計において、電源の出力インピーダンス—増幅用トランジスタ（Tr）の入力インピーダンス及び Tr の出力インピーダンス—次段の入力インピーダンスの整合をとることにより、発振を防止して、Tr に電力を効率よく伝達し、また Tr から電力を効率的に取り出すようにしている。

【0003】 インピーダンス整合用素子としては、例えば抵抗 R やコンデンサ C やインダクタンス L がある。このようなインピーダンス整合用素子を絶縁性基板の電力増幅回路内に形成する場合、チップ抵抗やチップコンデンサ等を回路配線間に取りつける方法や、絶縁性基板上に導電性薄膜からなるストリップラインを形成する方法がある。

【0004】 特に、インピーダンス整合用素子を高い周波数の電力増幅に用いる場合、寄生成分の多いチップ抵抗やチップコンデンサを用いるよりも、図 5（a）に示すように、インピーダンスの設計がし易いストリップライン 24 が用いられる。図 5（a）において、23 は背面に導電体層 22 が被着された誘電体、24 は誘電体 23 上に形成された 1 領域の帯状の導電性薄膜からなるストリップラインである。ストリップライン 24 の横幅はインピーダンス整合のために必要な長さと同幅に設計されている。

【0005】

2

【発明が解決しようとする課題】 ところで、インピーダンス整合用素子を低い周波数の電力増幅に用いる場合には、素子寸法に対して波長が十分に大きいため、ディメンジョンに関しては無視することができる。しかし、高い周波数の電力増幅に用いる場合、素子寸法が波長程度になってくると、ディメンジョンに関しては無視できなくなる。この場合、位相依存が大きいため、定在波を生じ、発振が発生する。発振が発生すると、出力が低下したり、増幅用トランジスタが破壊したりするという問題がある。

10 【0006】 本発明は、係る従来例の問題点に鑑みて創作されたものであり、高い周波数の電気信号を処理する場合に発振を防ぐことができる伝送線路又は半導体装置を提供することを目的とするものである。

【0007】

【課題を解決するための手段】 上記課題は、第 1 に、基板上に波長 λ を有する信号が入力される伝送線路が形成され、前記伝送線路は前記信号の進行方向に平行な分離帯により分離された複数の導電性領域からなり、かつ前記導電性領域は前記波長 λ に対して $\lambda/8$ 以下の横幅を有することを特徴とする伝送線路によって達成され、第 2 に、隣接する前記導電性領域は導体により互いに接続されていることを特徴とする第 1 の発明に記載の伝送線路によって達成され、第 3 に、前記伝送線路はインピーダンス整合用素子であることを特徴とする第 1 又は第 2 の発明に記載の伝送線路によって達成され、第 4 に、第 1、第 2 又は第 3 の発明に記載の伝送線路は半導体基板上の回路素子に接続されることを特徴とする半導体装置によって達成され、第 5 に、前記伝送線路は半導体基板上に設けられることを特徴とする第 1 の発明に記載の伝送線路又は第 4 の発明に記載の半導体装置によって達成される。

【0008】

【作用】 ストリップライン（伝送線路）内で定在波を生じるのはストリップラインの寸法が波長程度になるため、ストリップラインの寸法が波長から見て十分に小さくなれば、定在波が生じなくなると考えられる。しかし、どのような形状で、かつどのような寸法にするかは、理論的に導き出すことは難しく、実験を行わざるを得ない。

40 【0009】 そこで、本願発明者が実験を行った結果、次のようなストリップラインの形状、かつ寸法がよいと分かった。即ち、ストリップラインとなる導電性膜を電気信号の進行方向に対して平行なスリット（分離帯）で複数の導電性領域に分離し、1つの導電性領域の横幅を電力増幅される電気信号の波長 λ に対して $\lambda/8$ 程度或いはそれ以下にすることにより、定在波を抑制し、発振を防止することができることが確かめられた。

50 【0010】 また、分離された導電性領域同士を例えば Au 線等の導体により互いに接続することにより、定在

波を抑制し、発振を防止する効果が一層増すことを確認した。

【0011】

【実施例】以下に、本発明の実施例に係るインピーダンス整合回路を有する半導体装置について図面を参照しながら説明する。図1(a)は、本発明の実施例に係る、電力増幅回路内のインピーダンス整合用素子としてストリップライン(伝送線路)を有する半導体装置について示す平面図である。図1(b)は半導体装置の等価回路を示す回路配線図である。

【0012】図中、1はステム(絶縁性基板)で、誘電率 ϵ_r が1より大きいセラミックからなる誘電体3と、誘電体3の裏面にメタライズされたAu層(導電体層)とからなる。4は方形のステム1の一方の端部に形成されたゲート端子(入力端子)である。5は誘電体3上に形成された帯状のAu膜からなる第1のストリップラインで、電気信号の進行方向に張られたAuワイヤ12によりゲート端子4と接続されている。第1のストリップライン5により形成されるインピーダンスとして、図4(b)の等価回路に示すように、ゲート端子4からTrチップ8のゲート電極に至る信号線に直列に抵抗成分とインダクタンス成分が入り、信号線とアースの間にコンダクタンス成分とコンデンサ成分がそれぞれ並列に入る。

【0013】6は、電気信号の進行方向に対して平行な3つのスリット(分離帯)7a~7cにより分離されている4つの帯状のAu膜(導電性領域)6a~6dからなる第2のストリップラインで、各導電性領域6a~6dはそれぞれ電気信号の進行方向に張られたAuワイヤ12により第1のストリップライン5と接続されている。

【0014】第2のストリップライン6により形成されるインピーダンスとして、図4(b)の等価回路に示すように、信号線に直列に抵抗成分とインダクタンス成分が入り、信号線とアースの間にコンダクタンス成分とコンデンサ成分がそれぞれ並列に入る。第2のストリップライン6の詳細について図2(a)を参照しながら説明する。図2(a)に示すように、第2のストリップライン6は誘電体3上に形成され、誘電体3を挟んで導電体層2と対向している。4つに分離された導電性領域6a~6dは、それぞれ電力増幅される電気信号の波長 λ に対して $\lambda/8$ 程度の横幅を有する。例えば増幅すべき電気信号の周波数が10GHzの場合、 $\lambda=30\text{mm}$ で、 $\lambda/8=3.75\text{mm}$ となる。また、導電性領域6a~6dを分離している3つのスリット7a~7cはそれぞれ幅約100 μm を有する。

【0015】8は電力増幅用の高周波トランジスタチップ(Trチップ)で、Trチップ8のゲート電極には第2のストリップライン6の各導電性領域6a~6dから3本ずつでているAuワイヤ12が接続されている。9

はTrチップ8のドレイン電極と接続されている第3のストリップラインであり、誘電体3上に形成されている。第3のストリップライン9は、第2のストリップライン6と同様に、電気信号の進行方向に対して平行な方向の幅約100 μm の3つのスリット(分離帯)10a~10cにより分離された、 $\lambda/8$ 程度の横幅を有する4つのAu膜(導電性領域)9a~9dからなる。

【0016】第3のストリップライン9により形成されるインピーダンスとして、図4(b)の等価回路に示すように、Trチップ8のドレイン電極からドレイン端子に至る信号線に直列に抵抗成分とインダクタンス成分が入り、信号線とアースの間にコンダクタンス成分とコンデンサ成分がそれぞれ並列に入る。11はゲート端子4の形成されたステム1の一方の端部と反対側の他の端部に形成されたドレイン端子(出力端子)で、電気信号の進行方向に張られたAuワイヤ12により、第3のストリップライン9の各導電性領域9a~9dにそれぞれ接続されている。

【0017】なお、上記の半導体装置では、分離された第2のストリップライン6の導電性領域6a~6d間及び第3のストリップライン9の導電性領域9a~9d間はAuワイヤ(導線)で接続されていないが、第2のストリップライン6により代表して図3に示すように、隣接する各導電性領域6a及び6b、6b及び6c、6c及び6d同士を横方向に張ったAuワイヤ(導体)13で互いに接続してもよい。これにより、発振抑制効果が一層増す。

【0018】次に、波長 λ の電気信号を印加した場合に上記の第2のストリップライン6及び第3のストリップライン9が発振を起こし難い理由について図2(b)を参照しながら説明する。ここでは第2のストリップライン6を用いて説明するが、第3のストリップライン9についても同様である。説明を分かりやすくするため、ゲート端子4から張られたAuワイヤ12の位置が第2のストリップライン6の導電性領域6aの側端部にあるものとする。

【0019】ゲート端子4から第2のストリップライン6の1つの導電性領域6aに伝播した電気信号は、主として、電気信号の進行方向に進む電気信号W1と、その進行方向に対して直角な横方向に進む電気信号W2に別れるとする。進行方向に対して横方向に進む電気信号W2は導電性領域6aの他方の側端部で反射し、進行方向に進む電気信号W1のところに帰る。このとき、電気信号W1のところに帰ってきた電気信号W2の位相は電気信号W1よりも $\lambda/4$ の遅れにしかならず、電気信号W1への影響が少ない。このため、発振が起こり難いと考えられる。

【0020】特に、図3に示すように、隣接する各導電性領域6a及び6b、6b及び6c、6c及び6d同士を横方向に張ったAuワイヤ13で互いに接続すること

(4)

6

5
により発振抑制効果が増す。これには次のような理由が考えられる。即ち、第2のストリップライン6の隣接する各導電性領域6a及び6b、6b及び6c、6c及び6d間をAuワイヤ13の長さを調整して接続することにより、横方向に進む電気信号の成分同士を干渉させ、かつ横方向に進む電気信号の位相を調整して互いに打ち消し合うようにすることができる。なお、図3はAuワイヤ13の接続の一例であって、Auワイヤ13の接続位置の組み合わせや本数やループ形状等により幅広く位相の調整を行うことができる。

【0021】また、比較説明のため、図5(a)に従来例のストリップラインについて示す。図5(a)において、ストリップライン23の横幅はインピーダンス整合のために必要な長さとして設計されており、かつ幅は使用波長 λ に対して例えば $\lambda/4$ になっているものとする。図5(a)の場合も、図5(b)に示すように、入力端子から出力端子の方に進行する電気信号W3に対してその進行方向と直角方向に進む電気信号W3はストリップライン23の他の側端部で反射して電気信号W3のところに帰る。このとき、電気信号W3のところに帰ってきた電気信号W3の位相は $\lambda/2$ だけ電気信号W3よりも遅れる。この遅れにより電気信号W3と電気信号W4とは打ち消し合うため、出力が低下すると考えられる。

【0022】次に、 $\lambda/8$ の幅を有する導電性領域に分割されたストリップラインによる発振抑制効果について確認した試験結果について説明する。図4(a)は上記の図3に示すストリップライン6について波長 λ の高周波電力を印加したときに発生する周波数成分をスペクトラムアナライザで測定した結果を示す特性図である。図5(a)に示す比較例のストリップライン24についての測定結果を図3(b)に示す。

【0023】図4(a)、(b)において、ともに、縦軸は強度(任意単位)を示し、横軸は周波数(GHz)を示す。実施例に係る図4(a)の結果によれば、波長 λ に相当するキャリアの周波数成分しか含まない。発振抑制効果が十分に現れている。これに対して、比較例の図4(b)ではキャリアの周波数成分の他、発振により生じた周波数成分が現れている。

【0024】なお、図4(a)の結果は隣接する各導電性領域6a及び6b、6b及び6c、6c及び6d同士を横方向に張ったAuワイヤ13で互いに接続したストリップラインについてのものであるが、単に分離された導電性領域6a~6dからなるストリップラインについても発振抑制効果を表す同様な結果が得られている。以上のように、電力増幅すべき電気信号の波長 λ に対して第2のストリップライン6、第3のストリップライン9の横幅寸法が $\lambda/4$ 以上になる場合、電気信号の進行方向に対して平行な方向のスリット7a~7c、10a~10cにより、第2のストリップライン6、第3のストリッ

ブライン9を $\lambda/8$ 程度の横幅を有する導電性領域6a~6d、9a~9dに分離することにより、発振を抑制することができる。

【0025】これにより、出力の低下や増幅用トランジスタの破壊を防止し、効率よく電気信号電力を増幅することができる。なお、上記の実施例では、電力増幅回路内のストリップラインに本発明を適用しているが、他の応用回路内のストリップラインに適用することもできる。また、ストリップラインをインピーダンス整合用素子として用いる場合に適用しているが、ストリップラインをインピーダンス素子として用いる他の用途にも適用できる。

【0026】更に、電気信号の周波数として30GHzの場合を示したが、これに限定されるものではなく、ストリップラインをインピーダンス素子として用いることができる周波数を有する電気信号の処理回路に適用することができる。また、上記のストリップラインはプリント基板上に形成される場合に限られるのではなく、半導体基板上に絶縁膜等を介して設けられてもよい。

【0027】また、回路素子のトランジスタ等が半導体基板上に形成され、ストリップラインが回路素子と別個に作成されるような場合にも本発明を適用することが可能である。この場合、ストリップラインは組立工程で半導体基板上の回路素子に接続される。

【0028】

【発明の効果】以上のように、本発明の伝送線路又は半導体装置によれば、ストリップラインは電気信号の進行方向に平行な分離帯により分離された複数の導電性領域からなり、かつ導電性領域は波長 λ に対して $\lambda/8$ 以下の横幅を有する。これにより、定在波を抑制し、発振を防止することができる。

【0029】また、分離された導電性領域同士を導線で互いに接続しているので、定在波を抑制し、発振を防止する効果が一層増す。これにより、出力の低下や増幅用トランジスタの破壊を防止し、効率よく電気信号電力を増幅することができる。

【図面の簡単な説明】

【図1】本発明の実施例に係るストリップラインの構成について示す平面図及び断面図である。

【図2】本発明の他の実施例に係るストリップラインの構成について示す平面図及び断面図である。

【図3】本発明の実施例に係るストリップラインに印加された高周波電力の出力のスペクトラムについて測定した結果を示す特性図である。

【図4】本発明の実施例に係るストリップラインをインピーダンス整合用素子として用いた半導体装置の構成について示す平面図である。

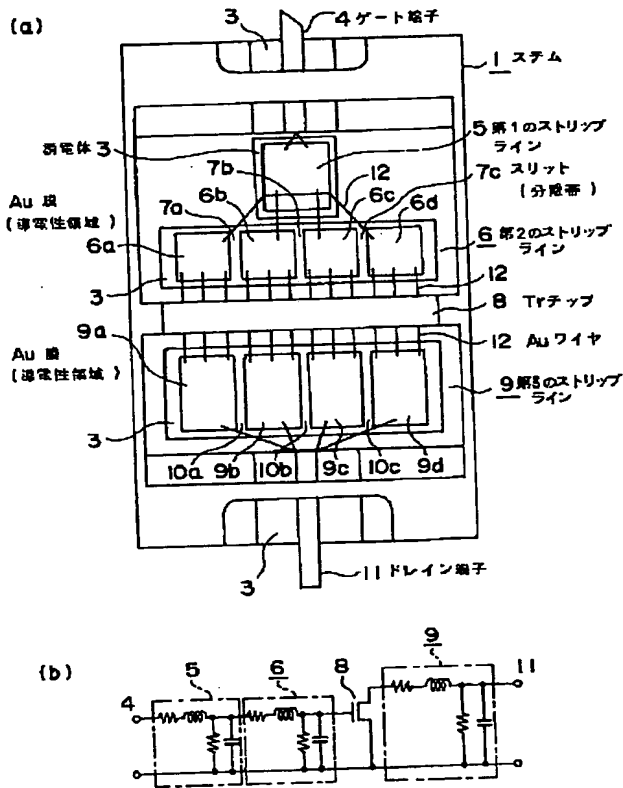
【図5】比較例に係るストリップラインの構成について示す平面図及び断面図である。

【符号の説明】

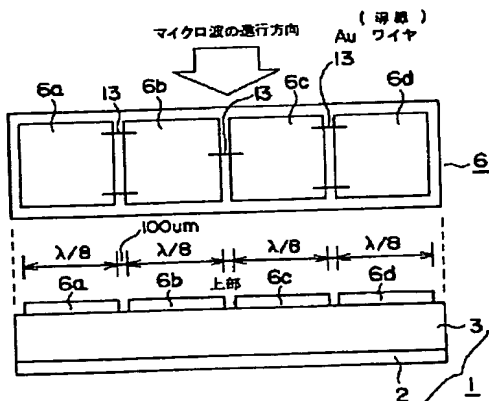
(5)

- 7
1, 21 ステム (絶縁性基板)、
2, 22 導電体層、
3, 23 誘電体、
4 ゲート端子、
5 第1のストリップライン、
6, 9 第2のストリップライン、
6a~6d, 9a~9d 導電性領域、

【図1】



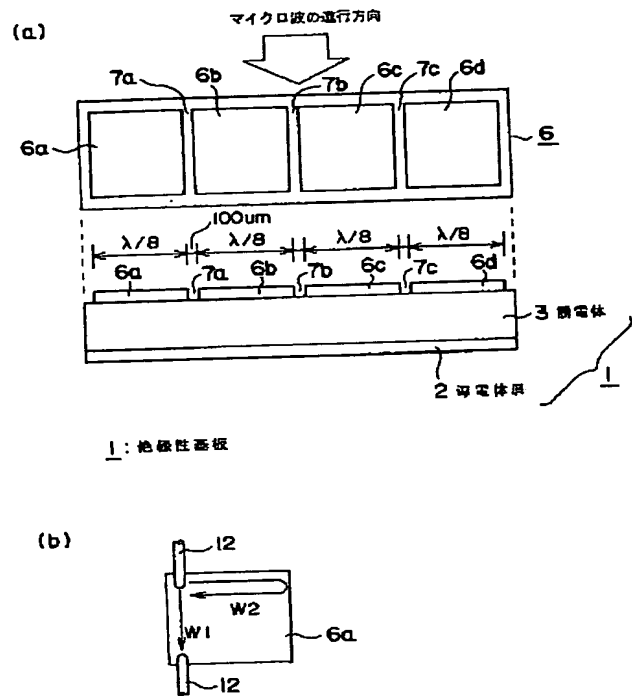
【図3】



8

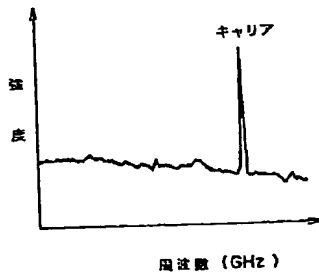
- 7a~7c, 10a~10c スリット (分離帯)、
8 Trチップ、
9 第3のストリップライン、
11 ドレイン端子、
12 Auワイヤ、
24 ストリップライン。

【図2】

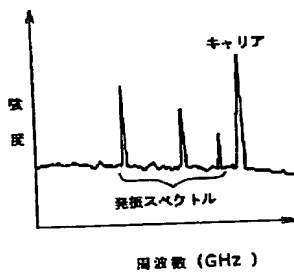


【図 4】

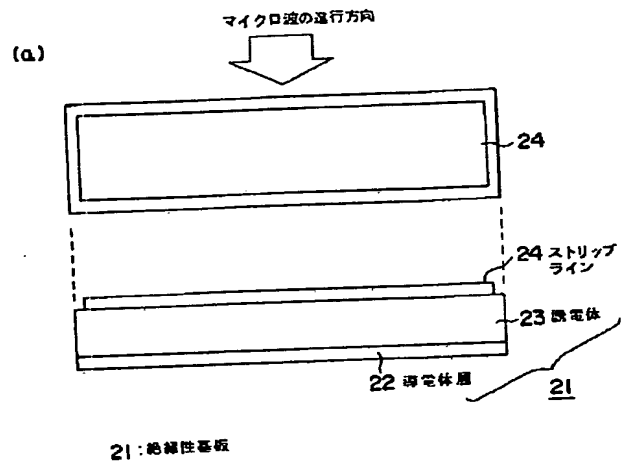
(a)



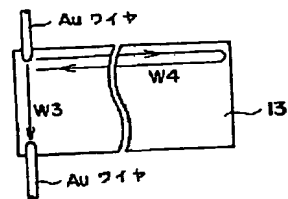
(b)



【図 5】



(b)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.